

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-150012
 (43)Date of publication of application : 31.05.1994

(51)Int.Cl. G06F 15/72

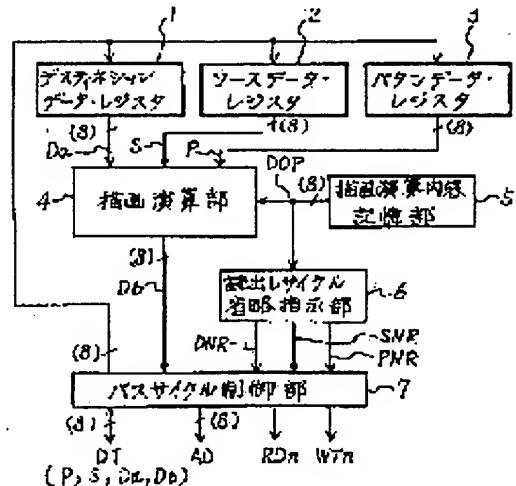
(21)Application number : 04-302095 (71)Applicant : NEC CORP
 (22)Date of filing : 12.11.1992 (72)Inventor : KUBOTA KAZUHIRO

(54) PLOTTING PROCESSOR

(57)Abstract:

PURPOSE: To accelerate plotting speed by omitting the read cycle of data which are not related to a plotting operation.

CONSTITUTION: This device is provided with a read cycle omission instruction part 6 for outputting read cycle omission instruction signals (DNR, SNR and PNR) of data (Da, S and P) not related to the plotting arithmetic according to a plotting operation signal DOP. A bus cycle control part 7 is defined as a circuit for starting the next cycle without executing the read cycle of data for which the read cycle omission instruction signals (DNR, SNR and PNR) are outputted.



LEGAL STATUS

[Date of request for examination] 24.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2956390

[Date of registration] 23.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 23.07.2002

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-150012

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵
G 0 6 F 15/72識別記号 庁内整理番号
A 9192-5L

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-302095

(22)出願日 平成4年(1992)11月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 廣田 和弘

東京都港区芝五丁目7番1号日本電気株式
会社内

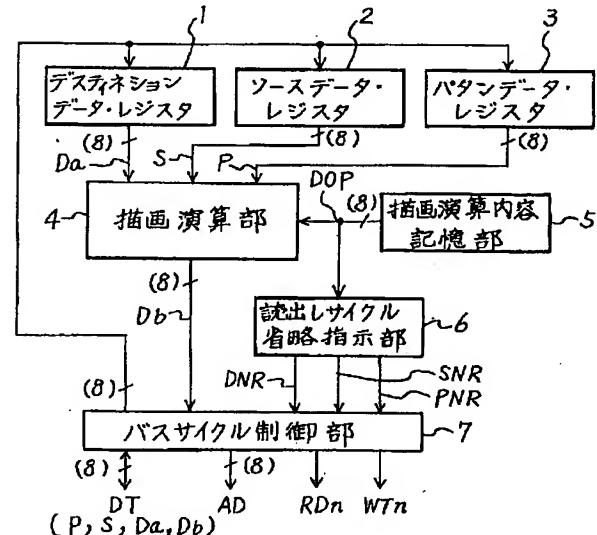
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 描画プロセッサ

(57)【要約】

【目的】 描画演算に関与しないデータの読み出しサイクルを省略して描画速度の高速化にはかる。

【構成】 描画演算信号DOPに従って描画演算に関与しないデータ(Da, S, P)の読み出しサイクル省略指示信号(DNR, SNR, PNR)を出力する読み出しサイクル省略指示部6を設ける。バスサイクル制御部7を、読み出しサイクル省略指示信号(DNR, SNR, PNR)が输出されたデータの読み出しサイクルを実行しないで次のサイクルに進む回路とする。



【特許請求の範囲】

【請求項1】 伝達された描画用の第1, 第2, 第3のデータをそれぞれ対応して記憶し出力する第1, 第2, 第3のレジスタと、描画演算信号に従って前記第1, 第2, 第3のデータに対して所定の演算を行い更新された第1のデータとして出力する描画演算部と、前記第1, 第2, 第3のデータに対する演算の内容を記憶しておきこの演算の内容と対応した前記描画演算信号を出力する描画演算内容記憶部と、前記第1, 第2, 第3のデータの中に前記描画演算信号による演算に関与しないデータがあるときはそのデータと対応する読み出しサイクル省略指示信号を出力する読み出しサイクル省略指示部と、前記第1, 第2, 第3のデータのうちの前記読み出しサイクル省略指示信号が output されていないデータに対して、アドレス信号、読み出し信号をデータメモリに出力した後このデータメモリから伝達されたデータを読み込み前記第1, 第2, 第3のレジスタに伝達するサイクルを順次実行した後、前記更新された第1のデータとこの第1のデータと対応するアドレス信号及び書き込み信号とを前記データメモリに出力するサイクルを実行するバスサイクル制御部とを有することを特徴とする描画プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は描画プロセッサに関し、特にビットマップ型のデータメモリ中の複数のデータに対して所定の演算を施しこのデータメモリに戻す構成のデジタル画像装置用の描画プロセッサに関するものである。

【0002】

【従来の技術】 従来の技術について図面を参照しながら説明する。

【0003】 図3は従来の描画プロセッサの一例を示すブロック図である。

【0004】 この描画プロセッサは、伝達された描画用の第1のデータのデスティネーションデータD a、第2のデータのソースデータS、第3のデータのパタンデータPをそれぞれ対応して記憶し出力する第1, 第2, 第3のレジスタ1, 2, 3と、描画演算信号DOPに従つてデスティネーションデータD a、ソースデータS、パタンデータPに対して所定の演算を行い更新されたデスティネーションデータD aとして出力する描画演算部4と、デスティネーションデータD a、ソースデータS、パタンデータPに対する演算の内容を記憶しておきこの演算の内容と対応した描画演算信号DOPを出力する描画演算内容記憶部5と、デスティネーションデータD a、ソースデータS、パタンデータPに対して、アドレス信号AD、読み出し信号RD nをデータメモリ(図示省略)に出力した後このデータメモリから伝達されたデータを読み込み第1, 第2, 第3のレジスタ1, 2, 3に伝達するサイクルを順次実行した後、更新されたデスティ

ネーションデータD bと、このデスティネーションデータD bと対応するアドレス信号AD及び書き込み信号WT nをデータメモリに出力するサイクルを実行するバスサイクル制御部7 aとを有する構成となっている。

【0005】 次にこの描画プロセッサの動作について説明する。図4はこの描画プロセッサの動作を説明するための入出力信号のタイミング図である。

【0006】 この描画プロセッサの外部(データメモリ)との入出力信号として、8ビットの入出力データD T (P, S, D a, D b)と、8ビットのアドレス信号ADと、データメモリに対して読み出しサイクル起動中であることを表す読み出し信号RD nと、書き込みサイクル起動中であることを示す書き込み信号WT nとを有している。ここで信号の記号の末尾のnは、その信号が負論理であることを示す。

【0007】 各データ(P, S, D a)の読み出しサイクルでは、アドレス・バスに有効値のアドレス信号ADを出力し、かつ、データ・バスをハイ・インピーダンス状態にした後、読み出し信号RD nをアクティブレベルの低レベルにする。データメモリはこれに応答して、読み出し信号RD nがアクティブレベルの間、データ・バスに確定データを出力し続ける。描画プロセッサは、読み出し信号RD nの立ち上がりエッジにおいてデータ・バスのデータをラッチし各レジスタ(1～3)に伝達する。この読み出しサイクルは、パタンデータP、ソースデータS、デスティネーションデータD aに対して順次行なわれる。

【0008】 各レジスタ、すなわち、デスティネーションデータ・レジスタ1、ソースデータ・レジスタ2、パタンデータ・レジスタ3に伝達された各データ、すなわち、デスティネーションデータD a、ソースデータS、パタンデータPは上記各レジスタにラッチされ描画演算部4に伝達され、描画演算部4は描画演算信号DOPに従つて上記データに対する演算を実行し、更新されたデスティネーションデータD bを出力する。そして書き込みサイクル、すなわち、更新されたデスティネーションD bの書き戻しサイクルに入る。書き込みサイクルでは、アドレス・バスのアドレス信号ADとデータ・バスのデータを有効値にして出力した後、書き込み信号WT nをアクティブレベル(低レベル)にする。これに応答して、データメモリは書き込み信号WT nの立ち下がりエッジで更新されたデスティネーションデータD bをラッチする。これらの制御は、バスサイクル制御部7 aが行う。

【0009】 次に、この描画プロセッサが、データメモリ内のデスティネーションデータを更新する過程を、図5のイメージ図を用いて説明する。図5は、描画演算の入力データであるパタンデータP、ソースデータS、デスティネーションデータD aによるイメージと、描画演算結果である更新されたデスティネーションデータD bによりイメージを模式的に表したものである。これら4

3

データ P , S , D_a , D_b とも二値の画像データであり、各イメージ $I(S)$, $I(P)$, $I(D_a)$ の黒及び閉じた領域が「1」、白い領域が「0」を表す。ソースデータはデータメモリ上に存在するフォント・データであり、文字「F」を表している。ソースデータ S によるイメージ $I(S)$ では前景の文字「F」が「1」背景が「0」である。以下同様に、パタンデータ P によるイメージ $I(P)$ は細い斜線、デスティネーションデータ D_a によるイメージ $I(D_a)$ は粗い斜線になっている。これらの3データ (P , S , D_a) に対して描画演算信号 DOP により描画演算が行なわれ、更新されたデスティネーション D_b を得る。描画演算信号 DOP による演算は、概念的には、例えば、「パタンデータ P をソースデータ S でくり抜いたものをデスティネーションデータ D_a に転送する」という内容とする。

【0010】次に、描画演算内容記憶部5の具体的な記憶内容について説明する。図6 (A), (B) は描画演算内容記憶部5の構成とその記憶内容の構成を示す図である。

【0011】描画演算内容記憶部5は8ビット ($R_0 \sim R_7$) から成り、この $R_0 \sim R_7$ の8ビットが、実行すべき描画演算をどのように規定するかを示す。図6

(B) に示したように、パタンデータ P , ソースデータ S , デスティネーションデータ D_a の値がそれぞれ“0”か“1”かで組み合せが8通りある。この8通りの組み合せのおのおのに対する描画結果 (D_b) を $R_0 \sim R_7$ の8ビットが規定する。例えば、パタンデータ P が“1”、ソースデータ S が“0”、デスティネーションデータ D_a が“0”的時、演算結果である更新されたデスティネーション D_b は、 R_4 のビットが規定する。 R_4 の値が“0”ならば更新されたデスティネーションデータ D_b は“0”、 R_4 の値が“1”ならば更新されたデスティネーションデータ D_b は“1”になる。これを表す式が図6 (B) 中に示されている。式中、「+」は論理和を、「・」は論理積を表す。

【0012】図5の更新されたデスティネーションデータ D_b を得るためにには、どのような描画演算内容に設定すればよいかを説明する。「パタンデータ P をソースデータ S でくり抜いたものをデスティネーションデータ D_a に転送する」ためには、ソースデータ S はくり抜き用の型紙として、すなわち、マスク・データとして使用される。したがって、次のような描画演算を実行する必要がある。

【0013】

IF $S = 0$ THEN $D_b = D_a$ (1)

IF $S = 1$ THEN $D_b = P$ (2)

(1) 式の意味するところは、もしソースデータ S が“0”であれば、デスティネーションデータ D_a をそのまま更新されたデスティネーションデータ D_b とする。すなわち、デスティネーションデータを書き換えない。

4

一方、(2) 式の意味するところは、もしソースデータ S が“1”であれば、パタンデータ P を更新されたデスティネーションデータ D_b とする。これを実現する描画演算内容記憶部5に記憶されるデータは、(0, 1, 0, 0, 0, 1, 1, 1) となる。

【0014】

【発明が解決しようとする課題】上述した従来の描画プロセッサでは、デスティネーションデータを更新するためにパタンデータ、ソースデータ、デスティネーション

10 データを順次読み出し描画演算を行い、更新されたデスティネーションデータを戻すために4サイクルが必要である。しかし、描画演算の内容によっては、読み出しサイクルが不要なデータもある。例えば、描画演算の内容が (0, 0, 0, 0, 0, 0, 0, 0) である場合には、値「0」を更新されたデスティネーションデータとして書き戻せばよいので、ソースデータ、パタンデータ、デスティネーションデータの読み出しサイクルは不要である。また、(0, 0, 1, 1, 0, 0, 1, 1) である場合には、ソースデータを更新されたデスティネーションデータとして書き戻せばよいので、パタンデータ、デスティネーションデータの読み出しサイクルは不要である。

【0015】しかしながら、従来の描画プロセッサでは、このような場合でも、パタンデータ、ソースデータ、デスティネーションデータの読み出しが行なわれるの、描画速度が遅いという問題点があった。

【0016】本発明の目的は、描画速度が向上した描画プロセッサを提供することにある。

【0017】

【課題を解決するための手段】本発明の描画プロセッサは、伝達された描画用の第1, 第2, 第3のデータをそれぞれ対応して記憶し出力する第1, 第2, 第3のレジスタと、描画演算信号に従って前記第1, 第2, 第3のデータに対して所定の演算を行い更新された第1のデータとして出力する描画演算部と、前記第1, 第2, 第3のデータに対する演算の内容を記憶しておきこの演算の内容と対応した前記描画演算信号を出力する描画演算内容記憶部と、前記第1, 第2, 第3のデータの中に前記描画演算信号による演算に関与しないデータがあるときはそのデータと対応する読み出しサイクル省略指示信号を出力する読み出しサイクル省略指示部と、前記第1, 第2, 第3のデータのうちの前記読み出しサイクル省略指示信号が出力されていないデータに対して、アドレス信号、読み出し信号をデータメモリに output した後このデータメモリから伝達されたデータを読み込み前記第1, 第2, 第3のレジスタに伝達するサイクルを順次実行した後、前記更新された第1のデータとこの第1のデータと対応するアドレス信号及び書き込み信号とを前記データメモリに output するサイクルを実行するバスサイクル制御部とを有している。

【0018】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0019】図1は本発明の一実施例を示すブロック図である。

【0020】この実施例が図3に示された従来の描画プロセッサと相違する点は、デスティネーションデータD_a、ソースデータS、パタンデータPの中に描画演算信号DOPによる演算に関与しないデータがあるときはそのデータと対応する読み出しサイクル省略指示信号(DNR, SNR, PNR)を出力する読み出しサイクル省略指示信号(DNR, SNR, PNR)を出力する読み出しサイクル省略指示部6を設け、バスサイクル制御部7を、デスティネーションデータD_a、ソースデータS、パタンデータPのうちの上記読み出しサイクル省略指示信号が¹⁰出力されていないデータに対して、アドレス信号AD、読み出し信号RD_nをデータメモリに出力した後このデータメモリから伝達されたデータを読み込みデスティネーションデータ・レジスタ1、ソースデータ・レジスタ2、パタンデータレジスタ3に伝達するサイクルを順次実行*20

$$R0 = R4 \text{かつ} R1 = R5 \text{かつ} R2 = R6 \text{かつ} R3 = R7 \dots \dots (3)$$

この条件式が真であるときには、パタン読み出しサイクルを起動する必要はない。すなわち、パタンデータ読み出しサイクル省略指示信号PNRを発生する。

【0025】次に、ソースデータ読み出しサイクル省略指示信号SNRの発生について述べる。ソースデータが更新されたデスティネーションデータD_bに影響を及ぼさないときの描画演算の条件を求めるとき、同様に、その値※

$$R0 = R2 \text{かつ} R1 = R3 \text{かつ} R4 = R6 \text{かつ} R5 = R7 \dots \dots (4)$$

この条件式が真であるときには、ソースデータ読み出しサイクル省略指示信号SNRを発生する。

【0028】最後に、ディスティネーションデータ読み出しサイクル省略指示信号DNRの発生について述べる。デスティネーションデータD_aが更新されたデスティネーションデータD_bに影響を及ぼさないときの描画演算の条件を求めるとき、その値が次の何れかである★

$$R0 = R1 \text{かつ} R2 = R3 \text{かつ} R4 = R5 \text{かつ} R6 = R7 \dots \dots (5)$$

この条件式が真であるときには、デスティネーションデータ読み出しサイクル省略指示信号DNRを発生する。

【0031】これらの読み出しサイクル省略指示信号(PNR, SNR, DNR)によって、描画演算に関与しないデータの読み出しサイクルがなくなるので、その分描画速度を速めることができる。

【0032】次に、本発明による描画処理速度の向上の過程について説明する。図2は本発明による描画演算内容が(0, 0, 1, 1, 0, 0, 1, 1)のときのバス・サイクルのタイミング図である。

【0033】従来例では、図4に示すように、常に4サイクルかかる。しかし本発明では、2サイクルですむので、従来例の2倍の描画速度が実現できる。

*した後、更新されたデスティネーションデータD_bとのデータと対応するアドレス信号AD及び書込み信号WT_nとを上記データメモリに出力するサイクルを実行する回路とした点にある。

【0021】次に、描画演算信号DOPから、デスティネーションデータ読み出しサイクル省略指示信号DNP、ソースデータ読み出しサイクル省略指示信号SNR、パタンデータ読み出しサイクル省略指示信号PNRを発生する過程について説明する。

【0022】まず、パタンデータ読み出しサイクル省略指示信号PNRの発生について説明する。パタンデータPが更新されたデスティネーションデータD_bに関与しないときの描画演算の条件を求めるとき、図6(B)から判断し、その値が、次の何れかであるときである。

【0023】00H, 11H, 22H, 33H, 44H, 55H, 66H, 77H, 88H, 99H, AAH, BBH, CCH, DDH, EEH, FFH
これは、次の条件式と等価である。

【0024】

※が次の何れかであるときである。

【0026】00H, 05H, 0AH, 0FH, 50H, 55H, 5AH, A0H, A5H, AAH, AFH, F0H, F5H, FAH, FFH
これは、次の条件式と等価である。

【0027】

【0029】00H, 03H, 0CH, 0FH, 30H, 33H, 3CH, C0H, C3H, CCH, CFH, F0H, F3H, FCH, FFH
これは、次の条件式と等価である。

【0030】

【0034】同様に、描画演算内容が(0, 0, 0, 0, 0, 0)あるいは、(1, 1, 1, 1, 1, 1)のときには、更新されたデスティネーションデータ書込みサイクルのみとなるので、従来例の4倍の描画速度が期待できる。

【0035】この事実を踏まえて、本発明の描画プロセッサを使用した装置の価格性能比の向上を見積もる。

【0036】まず、コストに関しては次のように考えることができる。一般に、描画プロセッサとデータメモリ間のバス・バンド幅を向上させるためには装置コストが高くなる。本発明の描画プロセッサは、プロセッサ・メモリ間のバス・バンド幅がまったく同じである条件下で性能向上が図れる。すなわち、本発明の描画プロセッサ

を採用することによるコスト上昇はない。

【0037】次に、性能向上であるが、「パタン、ソース、デスティネーションの3つのデータの読み出しサイクルのどれかが省略できる頻度がどのくらい高いか」に依存する。換言すれば、「(3)、(4)、(5)式を満足するような描画演算内容が設定される頻度がどのくらい高いか」ということになる。これはグラフィクス装置上で走行するグラフィクス・アプリケーションに依存するが、極めて一般的なアプリケーションを考えてみる。通常の描画では、そのほとんどがデスティネーションデータを更新されたデータで書き換えるものである。すなわち、更新されたデスティネーションデータ D_b の値は、デスティネーションデータ D_a の値に依存せずに決定できる。全グラフィクス処理時間に占める、このデスティネーション非依存型描画演算の出現率は、9割であると仮定する。従来の描画プロセッサは、1回のデスティネーションデータ読み出しサイクルが必要である。これに対して、本発明の描画プロセッサは、次の式(6)で示すように平均0.1回のデスティネーションデータ読み出しサイクルが必要である。

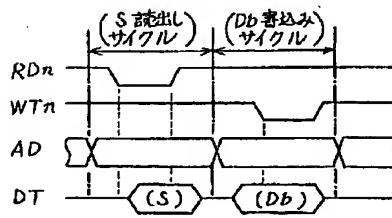
【0038】

$0\text{回} \times 0.9 + 1\text{回} \times 0.1 = 0.1\text{回} \dots \dots (6)$
 一方、パタンデータとソースデータに関しては両方を必要とする演算の出現率が3割、パタンデータを必要としソースデータを必要としない演算の出現率が3割、ソースデータを必要としパタンデータを必要としない演算の出現率が3割、残り割がパタンデータもソースデータも必要としない演算の出現率と仮定する。従来の描画プロセッサは、パタンデータ、ソースデータ各1回、合計2回の読み出しサイクルが必要である。これに対して、本発明の描画プロセッサは、次の式(7)で示すように平均1.2回のパタンデータソースデータ読み出しサイクルが必要である。

【0039】

$2\text{回} \times 0.3 + 1\text{回} \times 0.3 + 1\text{回} \times 0.3 + 0\text{回} \times$

【図2】



0. 1 = 1. 2回…… (7)

式(6)と式(7)とを加えると1.3回になる。これに更新されたデスティネーションデータ書き込みサイクルを加えると、8ビット描画するために平均2.3回のバス・サイクルの起動になる。従来の描画プロセッサは4回のバス・サイクルの起動が必要であるので、次の式(8)に示すように、1.7倍の描画性能向上が見込めると。

【0040】4回/2.3回=1.7倍…… (8)

【発明の効果】以上説明したように本発明は、描画演算に関与しないデータの読み出しサイクルを省略する構成としたので、その分描画速度を向上させることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1に示された実施例の動作を説明するための各部信号のタイミング図である。

【図3】従来の描画プロセッサの一例を示すブロック図である。

【図4】図3に示された描画プロセッサの動作を説明するための各部信号のタイミング図である。

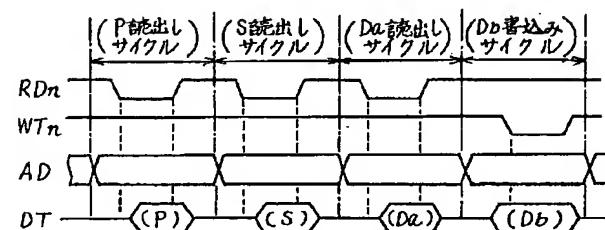
【図5】図3に示された描画プロセッサによるデスティネーションデータの更新過程を説明するためのイメージ図である。

【図6】図3に示された描画プロセッサの描画演算内容記憶部の構成図及び記憶内容の構成図である。

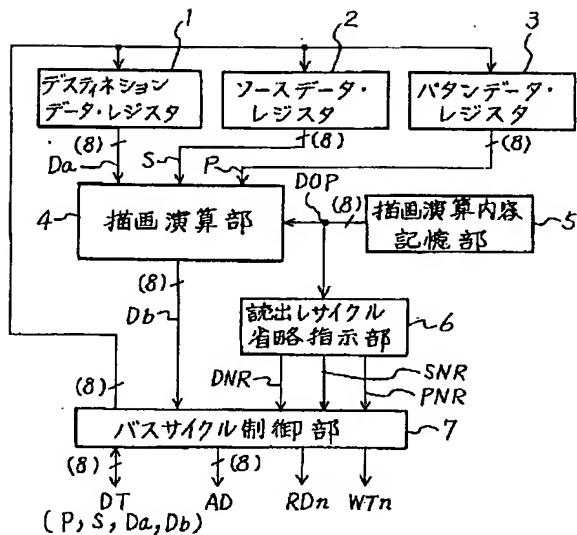
【符号の説明】

| | |
|-------|-------------------|
| 1 | デスティネーションデータ・レジスタ |
| 2 | ソースデータ・レジスタ |
| 3 | パタンデータ・レジスタ |
| 4 | 描画演算部 |
| 5 | 描画演算内容記憶部 |
| 6 | 読み出しサイクル省略指示部 |
| 7, 7a | バスサイクル制御部 |

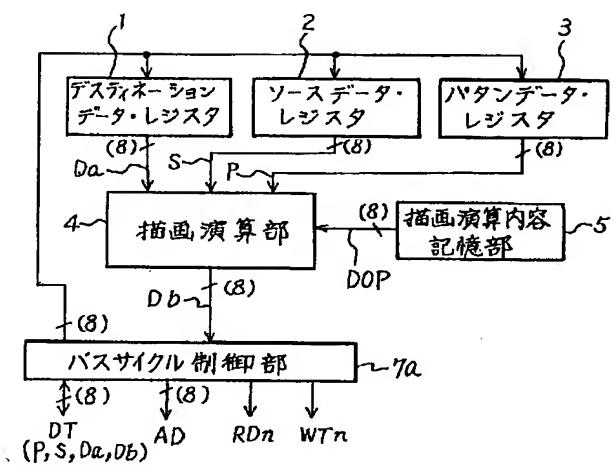
【図4】



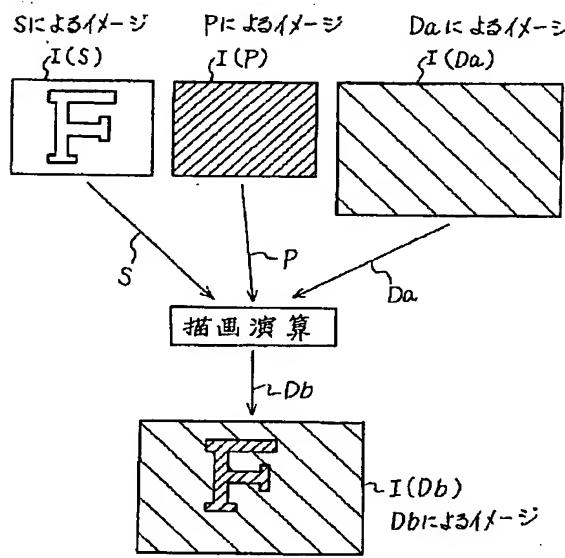
【図1】



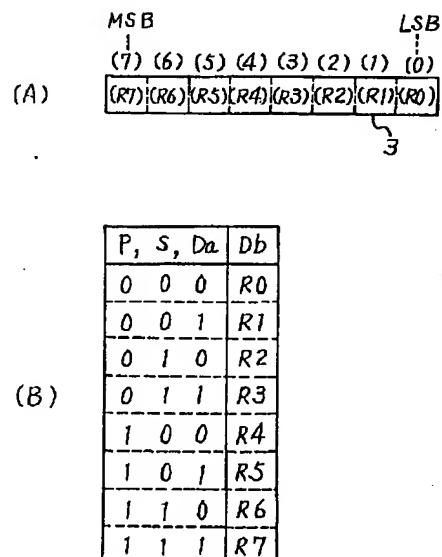
【図3】



【図5】



【図6】



$$\begin{aligned}
 Db = & (R7 \cdot P \cdot S \cdot D) + (R6 \cdot P \cdot S \cdot Da_n) + (R5 \cdot P \cdot S_n \cdot Da) \\
 & + (R4 \cdot P \cdot S_n \cdot Da_n) + (R3 \cdot P_n \cdot S \cdot D) + (R2 \cdot P_n \cdot S \cdot Da_n) \\
 & + (R1 \cdot P_n \cdot S_n \cdot Da) + (R0 \cdot P_n \cdot S_n \cdot Da_n)
 \end{aligned}$$

(P_n 等の n は P 等の補データを示す)